

Partial translation of JP 7-240535, A

... omitted...

5 [0016] In the step of forming a thin film pattern such as the  
step of forming the pattern of the aforementioned LED 2 or the  
step of forming the pattern of the discrete electrode 6, two  
different resist patterns are so formed for single application  
of the resist film 10 or 20 that the step of forming each pattern  
10 can be simplified. In the semiconductor light emitting device  
fabricated through the aforementioned steps, the silicon  
nitride film 4 covering the LED 2 is covered with the silicon  
oxide film 5 having excellent adhesion to the electrode  
material and the discrete electrode 6 is formed on this silicon  
15 oxide film 5, whereby the discrete electrode 6 can be prevented  
from separation. Further, the silicon nitride film 4 is so  
covered with the silicon oxide film 5 that the quality of the  
silicon nitride film 4 can be thickly densified (about 500 Å).  
If the passivation film of the LED 2 is only the silicon nitride  
20 film 4, adhesion to a resist material is so inferior that  
adhesion between the resist film 20 and the silicon nitride  
film 4 must be improved by performing post-baking after  
exposing the resist film 20 and developing the same at the first  
time unless the silicon nitride film 4 is not more than about  
25 1000 Å in thickness or denseness is low and an etching rate

is large. If post-baking is performed, however, a portion not photosensitized in the first exposure so loses photosensitivity that no different resist pattern can be formed through second exposure. On the other hand, the silicon nitride film 4 is covered with the silicon oxide film 5 and hexamethyldisilazane is interposed between the silicon oxide film 5 and the positive resist film 20 for bonding the  $\text{CH}_3$  group of hexamethyldisilazane and oxygen of the silicon oxide film 5 to each other so that the adhesion between the silicon oxide film 5 and the positive resist film 20 can be improved, whereby no post-baking is necessary also when the silicon nitride film 4 is thick and dense. While OFPR 800 or OFPR 5000 (trade name) by Tokyo Ohka Kogyo Co., Ltd. or HPR 1182 by Fuji Hunt can be employed as the positive resist material, the present invention is not restricted to this in particular.

... omitted...

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-240535

(43)Date of publication of application : 12.09.1995

(51)Int.Cl.

H01L 33/00

H01L 21/28

(21)Application number : 06-055209

(71)Applicant : KYOCERA CORP

(22)Date of filing : 28.02.1994

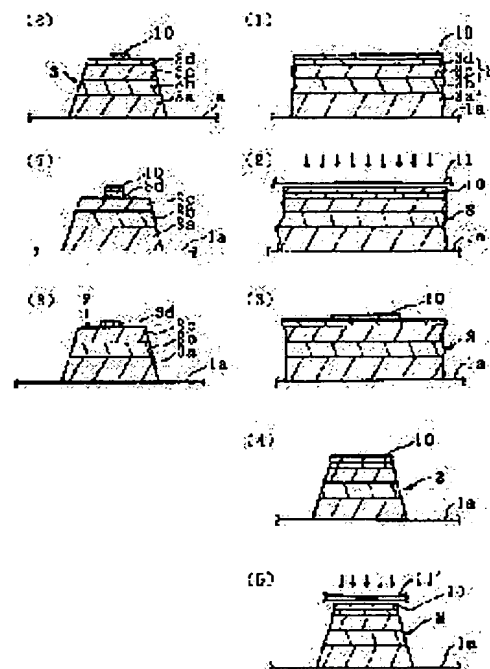
(72)Inventor : KISHIMOTO TATSUYA

## (54) METHOD OF FORMING THIN FILM PATTERN

## (57)Abstract:

PURPOSE: To simplify the process of forming a thin film pattern by a method wherein two different resist patterns are formed through a single resist applying operation.

CONSTITUTION: A positive resist 10 is applied onto an epitaxial layer 3 formed on the prime surface 1a of a silicon substrate 1 and partially exposed to light through the intermediary of a mask 11. Then, the part of the resist 10 exposed to light is removed by development for the formation of a resist pattern. An epitaxial layer 3 is formed into a mesa-shaped pattern through an etching process where the above resist pattern is used, and thereafter a part of the residual positive resist 10 is exposed to light through the mask 11. The exposed part of the positive resist 10 is removed by development for the formation of a resist pattern, and the disused part of a P-type semiconductor layer 3d is removed through an etching process in which the above resist pattern is used, whereby a thin film pattern required for connection with a separate electrode can be formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-240535

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 33/00	B			
	E			
21/28	G	8932-4M		
	L	8932-4M		

審査請求 未請求 請求項の数 2 F D (全 7 頁)

(21) 出願番号 特願平6-55209

(22) 出願日 平成6年(1994)2月28日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 岸本 達也

滋賀県八日市市蛇溝町長谷野1166番地の6

京セラ株式会社滋賀工場内

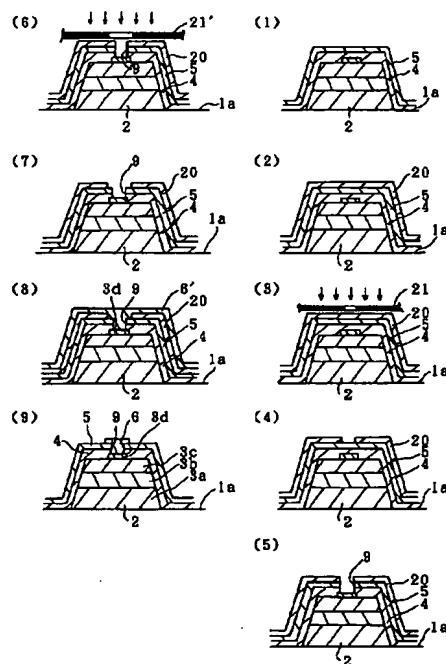
(74) 代理人 弁理士 根本 進

(54) 【発明の名称】 薄膜パターンの形成方法

(57) 【要約】

【構成】 基板上1のLED2を覆う窒化シリコン膜4を酸化シリコン膜5により覆い、この酸化シリコン膜5に塗布したポジレジスト20の一部分を感光させる。このポジレジスト20の感光部分を現像により除去して形成したレジストパターンを用いたエッチング工程により、前記窒化シリコン膜4と酸化シリコン膜5とを貫通するコンタクトホール9のパターンを形成する。このパターン形成後に残存したポジレジスト20の一部分を感光させ、このポジレジスト20の感光部分を現像により除去してレジストパターンを形成する。そのレジストパターンを用いたリフトオフ工程によりLED2に接続する電極6のパターンを形成する。

【効果】 薄膜パターンの形成工程を簡略化できる。



## 【特許請求の範囲】

【請求項1】 薄膜に塗布したポジレジストの一部分を露光により感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いたエッチングにより薄膜パターンの形成を行ない、このパターン形成後に残存したポジレジストの一部分を露光により感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いたリフトオフ工程により薄膜パターンの形成を行なうことを特徴とする薄膜パターンの形成方法。

【請求項2】 薄膜に塗布したポジレジストの一部分を感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いて薄膜パターンの形成を行ない、このパターン形成後に残存したポジレジストの一部分を感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いて薄膜パターンの形成を行なうことを特徴とする薄膜パターンの形成方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体デバイス等において所望の薄膜パターンを形成する方法に関する。

【0002】

【従来の技術】図6に示す半導体発光装置は、シリコン基板101の一方の主面101aに列をなして形成された複数のメサ形状のLED102のアレイを備え、例えばページプリンタの感光ドラムの露光用光源として用いられる。

【0003】各LED102は薄膜状のエピタキシャル層をパターンニングすることで構成される。そのエピタキシャル層103は、 $n^+$ 型半導体シリコン基板1の一方の主面1aに化合物半導体結晶を成長させることで形成される。そのエピタキシャル層は、バッファ層103a、 $n$ 形半導体層103b、 $p$ 形半導体層103cおよび高濃度に不純物をドーパされた $p^+$ 形半導体層103dと構成できる。各LED102はバッシベーション膜として窒化シリコン( $SiN_x$ )膜104により覆われている。その窒化シリコン膜104を貫通するコンタクトホール109を介し $p^+$ 形半導体層103dに接続する個別電極106が、その窒化シリコン膜104上に形成される。また、そのシリコン基板101の他方の主面101bに接続する共通電極107が形成される。各電極106、107は、例えば、半導体結晶との結合力が強いクロム(Cr)層と、熱圧着性に優れた外部端子との接続が容易な金(Au)層とから構成できる。

【0004】図5は、上記エピタキシャル層をメサ形状に成形すると共に、光を遮蔽する $p^+$ 形半導体層103dの大きさを個別電極106との接続に必要な最小限の大きさにすることで、LED102のパターンを形成する工程を示すものである。まず、図5の(1)に示すよ

うに、シリコン基板101の一方の主面101aに形成されたエピタキシャル層103にポジレジスト110を塗布する。次に、図5の(2)に示すように、そのポジレジスト110の一部分をマスク111を介し紫外線を照射することで露光して感光させる。次に、図5の

(3)に示すように、そのポジレジスト110の感光部分を現像により除去してレジストパターンを形成する。

次に、図5の(4)に示すように、そのレジストパターンを用いたエッチング工程によりエピタキシャル層103の不要部分を除去してメサ形状のエピタキシャル層103のパターンを形成する。次に、図5の(5)に示すように、そのパターン形成後に残存したポジレジスト110を除去する。次に、図5の(6)に示すように、そのメサ形状のエピタキシャル層103に新たなポジレジスト110'を塗布する。次に、図5の(7)に示すように、そのポジレジスト110'の一部分をマスク111'を介し紫外線を照射することで露光して感光させる。次に、図5の(8)に示すように、そのポジレジスト110'の感光部分を現像により除去してレジストパターンを形成する。次に、図5の(9)に示すように、そのレジストパターンを用いたエッチング工程により $p^+$ 形半導体層103dを不要部分の除去により個別電極106との接続に必要な最小限の大きさにする。次に、図5の(10)に示すように、そのパターン形成後に残存したポジレジスト110'を除去する。

【0005】図4は、前記個別電極106のパターンを形成する工程を示すものである。まず、図4の(1)に示すように、基板101上のLED102を窒化シリコン膜104により覆う。次に、図4の(2)に示すように、その窒化シリコン膜104にポジレジスト120を塗布する。次に、図4の(3)に示すように、そのポジレジスト120の一部分をマスク121を介し紫外線を照射することで露光して感光させる。次に、図4の(4)に示すように、そのポジレジスト110の感光部分を現像により除去してレジストパターンを形成する。また、必要に応じてポストベークを行ない、窒化シリコン膜104とポジレジスト110との密着性を向上する。次に、図4の(5)に示すように、そのレジストパターンを用いたエッチング工程により窒化シリコン膜104を貫通するコンタクトホール109のパターンを形成する。次に、図4の(6)に示すように、そのパターン形成後に残存したポジレジスト120を除去する。次に、図4の(7)に示すように、その窒化シリコン膜104上およびコンタクトホール109を介し露出する $p^+$ 形半導体層103d上とに個別電極材料106'を薄膜状に形成する。次に、図4の(8)に示すように、その個別電極材料106'上に新たなポジレジスト120'を塗布する。次に、図4の(9)に示すように、そのポジレジスト120'の一部分をマスク121'を介し紫外線を照射することで露光して感光させる。次に、

図4の(10)に示すように、そのポジレジスト120'の感光部分を現像により除去してレジストパターンを形成する。また、必要に応じてポストベークを行ない、窒化シリコン膜104とポジレジスト110との密着性を向上する。次に、図4の(11)に示すように、そのレジストパターンを用いたエッチング工程により個別電極材料106'の不要部分を除去して個別電極106のパターンを形成する。次に、図4の(12)に示すように、そのパターン形成後に残存したポジレジスト120'を除去する。

【0006】

【発明が解決しようとする課題】上記従来のLEDパターンや個別電極パターンといった薄膜パターンの形成工程は、レジストを2回塗布する必要があるため工程が多く複雑なものである。

【0007】本発明は、上記技術的課題を解決することのできる薄膜パターンの形成方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本件第1発明は、薄膜に塗布したポジレジストの一部分を露光により感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いたエッチングにより薄膜パターンの形成を行ない、このパターン形成後に残存したポジレジストの一部分を露光により感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いたリフトオフ工程により薄膜パターンの形成を行なうことを特徴とする薄膜パターンの形成方法である。

【0009】本件第2発明は、薄膜に塗布したポジレジストの一部分を感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いて薄膜パターンの形成を行ない、このパターン形成後に残存したポジレジストの一部分を感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いて薄膜パターンの形成を行なうことを特徴とする薄膜パターンの形成方法である。

【0010】

【作用】本件発明の薄膜パターンの形成方法によれば、1回のレジストの塗布で異なる2つのレジストパターンを形成するので、薄膜パターンの形成工程を簡略化でき、また、本件発明の半導体発光装置を製造することができる。例えば、基板上のLEDを窒化シリコン膜により覆い、この窒化シリコン膜を酸化シリコン膜により覆い、この酸化シリコン膜に塗布したポジレジストの一部分を感光させ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いたエッチングにより、前記窒化シリコン膜と酸化シリコン膜とを貫通してコンタクトホールを形成し、このパターン形成後に残存したポジレジストの一部分を感光さ

せ、このポジレジストの感光部分を現像により除去して形成したレジストパターンを用いたリフトオフ工程によりLEDに接続する電極のパターンを形成することで、半導体発光装置が製造される。

【0011】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0012】図1に示す半導体発光装置は、シリコン基板1の一方の主面1aに列をなして形成された複数のメサ形状のLED2のアレイを備え、例えばページブリッタの感光ドラムの露光用光源として用いられる。

【0013】各LED2は薄膜状のエピタキシャル層をパターンニングすることで構成される。そのエピタキシャル層3は、n<sup>+</sup>型半導体シリコン基板1の一方の主面1aに例えばガリウム砒素(GaAs)、ガリウム砒素リン(GaAsP)、ガリウムリン(GaP)、アルミニウムガリウム砒素(AlGaAs)等の化合物半導体結晶を有機金属気相エピタキシー等により成長させることで形成される。そのエピタキシャル層は、バッファ層3a、n形半導体層3b、p形半導体層3cおよび高濃度に不純物をドーピングされたp<sup>+</sup>形半導体層3dとで構成できる。各LED2はバッシベーション膜として窒化シリコン(SiN<sub>x</sub>)膜4と酸化シリコン膜(SiO<sub>2</sub>)5により覆われている。その窒化シリコン膜4と酸化シリコン膜5とを貫通するコンタクトホール9を介しp<sup>+</sup>形半導体層3dに接続する個別電極6が、その酸化シリコン膜5上に形成される。また、シリコン基板1の他方の主面1bに接続する共通電極7が形成される。各電極6、7は、例えば、半導体結晶との結合力が強いクロム(Cr)層と、熱圧着性に優れ外部端子との接続が容易な金(Au)層とから構成できる。

【0014】図2は、上記エピタキシャル層をメサ形状に成形すると共に、光を遮蔽するp<sup>+</sup>形半導体層3dの大きさを個別電極6との接続に必要な最小限の大きさにすることで、LED2のパターンを形成する工程を示すものである。まず、図2の(1)に示すように、シリコン基板1の一方の主面1aに形成されたエピタキシャル層3にポジレジスト10を塗布する。次に、図2の

(2)に示すように、そのポジレジスト10の一部分をマスク11を介し紫外線を照射することで露光して感光させる。次に、図2の(3)に示すように、そのポジレジスト10の感光部分を現像により除去してレジストパターンを形成する。次に、図2の(4)に示すように、そのレジストパターンを用いたエッチング工程によりエピタキシャル層3の不要部分を除去してメサ形状のエピタキシャル層3のパターンを形成する。次に、図2の(5)に示すように、そのパターン形成後に残存したポジレジスト10の一部分をマスク11'を介し紫外線を照射することで露光して感光させる。次に、図2の

(6)に示すように、そのポジレジスト10の感光部分

を現像により除去してレジストパターンを形成する。次に、図2の(7)に示すように、そのレジストパターンを用いたエッチング工程によりp<sup>+</sup>形半導体層3dを不要部分の除去により個別電極6との接続に必要な最小限の大きさにする。次に、図2の(8)に示すように、そのパターン形成後に残存したポジレジスト10を除去する。

【0015】図3は、前記個別電極6のパターンを形成する工程を示すものである。まず、図3の(1)に示すように、基板1上のLED2を窒化シリコン膜4と酸化シリコン膜5とにより覆う。その窒化シリコン膜4はSiH<sub>4</sub>とNH<sub>3</sub>とを原料として(他にH<sub>2</sub>やN<sub>2</sub>を加えてもよい)プラズマCVDにより形成できる。この窒化シリコン膜4の形成を行なった反応容器内でそのNH<sub>3</sub>をN<sub>2</sub>Oに置換するだけで酸化シリコン膜5の形成を行なうことができる。その酸化シリコン膜5の厚さは数百Å程度でよい。次に、図3の(2)に示すように、その窒化シリコン膜4と酸化シリコン膜5にポジレジスト20を塗布する。この際、酸化シリコン膜5とポジレジスト20との間にヘキサメチルジシラザン(HMDS)を介在させ、酸化シリコン膜5とポジレジスト20との密着性を向上させるのが好ましい。次に、図3の(3)に示すように、そのポジレジスト20の一部分をマスク21を介し紫外線を照射することで露光して感光させる。次に、図3の(4)に示すように、そのポジレジスト10の感光部分を現像により除去してレジストパターンを形成する。次に、図3の(5)に示すように、そのレジストパターンを用いたエッチング工程により窒化シリコン膜4と酸化シリコン膜5とを貫通するコンタクトホール9のパターンを形成する。なお、そのエッチングはNH<sub>4</sub>FとHFとを適当比で混合したバッファードフッ酸(BHF)により行なうことができる。次に、図3の(6)に示すように、そのパターン形成後に残存したポジレジスト20の一部分をマスク21'を介し紫外線を照射することで露光して感光させる。次に、図3の(7)に示すように、そのポジレジスト20の感光部分を現像により除去してレジストパターンを形成する。次に、図3の(8)に示すように、その酸化シリコン膜5上およびコンタクトホール9を介し露出するp<sup>+</sup>形半導体層3d上とに個別電極材料6'を薄膜状に形成する。次に、図3の(9)に示すように、そのレジストパターンを用いたリフトオフ工程により残存したポジレジスト20と共に個別電極材料6'の不要部分を除去して個別電極6のパターンを成形する。

【0016】上記LED2のパターン形成工程および個別電極6のパターン形成工程といった薄膜パターンの形成工程においては、それぞれ1回のレジスト10、20の塗布で異なる2つのレジストパターンを形成するので、各パターンの形成工程を簡略化できる。上記工程により製造された半導体発光装置においては、LED2を

覆う窒化シリコン膜4は電極材料との密着性がよい酸化シリコン膜5に覆われ、その酸化シリコン膜5上に個別電極6が形成されているので、個別電極6の剥離を防止できる。また、窒化シリコン膜4が酸化シリコン膜5に覆われることで、窒化シリコン膜4の膜質を厚く(5000Å程度)緻密にできる。すなわち、LED2のバッシベーション膜が窒化シリコン膜4のみであると、レジスト材料との密着性が悪いため、窒化シリコン膜4が1000Å程度以下であったり緻密度が低くエッチングレートが大きい場合を除き、レジスト20を一回目に露光して現像した後にポストベークを行ない、レジスト20と窒化シリコン膜4との密着性の向上を図ることが必要になる。しかし、ポストベークを行なうと1回目の露光では感光しなかった部分が感光性を失ってしまい、2回目の露光を行なっても異なるレジストパターンを形成することができなくなる。これに対し、窒化シリコン膜4を酸化シリコン膜5により覆い、酸化シリコン膜5とポジレジスト20との間にヘキサメチルジシラザンを介在させ、ヘキサメチルジシラザンのCH<sub>3</sub>基と酸化シリコン膜5の酸素とを結合させることで、酸化シリコン膜5とポジレジスト20との密着性を向上できるので、窒化シリコン膜4が厚く緻密であってもポストベークを不要とできる。なお、ポジレジストとしては、例えば東京応化工業株式会社製の商標名OFPR800、OFPR5000や富士ハント製のHPR1182等を用いることができるが、特に限定されるものではない。

【0017】なお、本発明は上記実施例に限定されない。例えば、TFTアクティブマトリクス液晶表示装置において、画素電極を覆う絶縁膜にコンタクトホール9のパターンを形成し、そのコンタクトホールを介し画素電極に接続するTFTのドレイン電極のパターンを形成する工程においても、本発明の薄膜パターンの形成方法を利用することができる。

【0018】

【発明の効果】本件発明方法によれば薄膜パターンの形成工程を簡略化できる。

【図面の簡単な説明】

【図1】本発明の実施例の半導体発光装置の(1)は構成説明用断面図、(2)は構成説明用平面図

【図2】本発明の実施例のLEDパターンの形成工程の説明図

【図3】本発明の実施例の電極パターンの形成工程の説明図

【図4】従来例の電極パターンの形成工程の説明図

【図5】従来例のLEDパターンの形成工程の説明図

【図6】本発明の実施例の半導体発光装置の(1)は構成説明用断面図、(2)は構成説明用平面図

【符号の説明】

1 基板

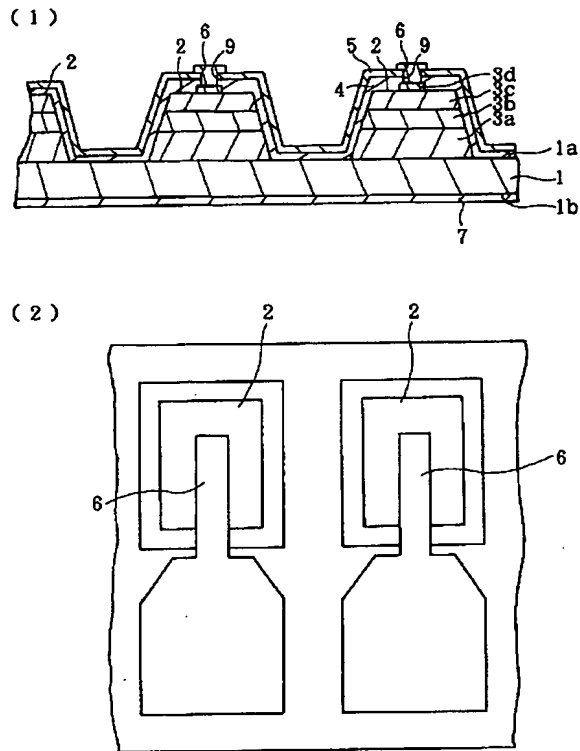
2 LED

- 4 窒化シリコン膜  
5 酸化シリコン膜  
6 個別電極

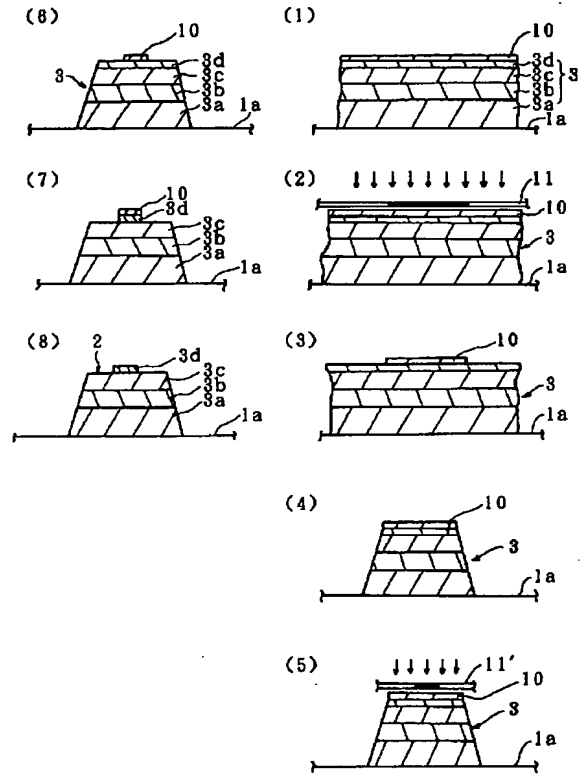
- \* 9 コンタクトホール  
10、20 ポジレジスト

\*

【図1】

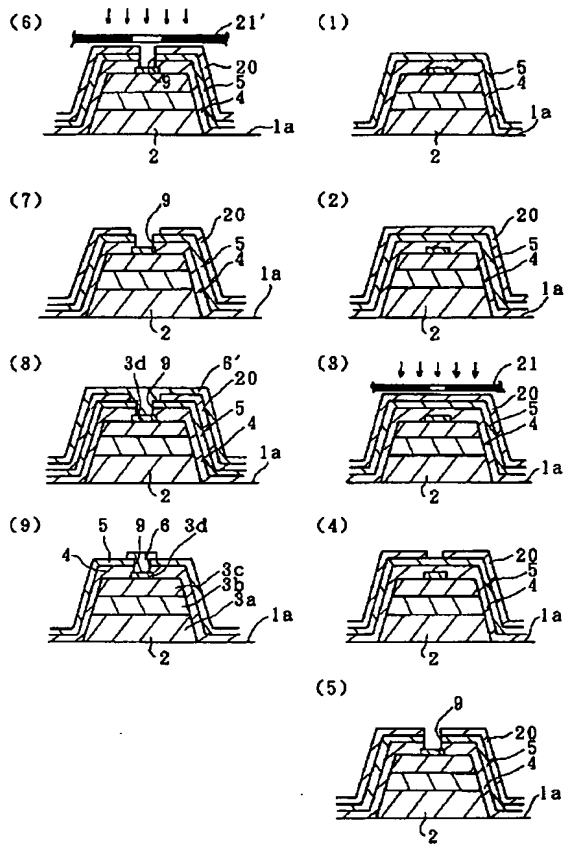


【図2】

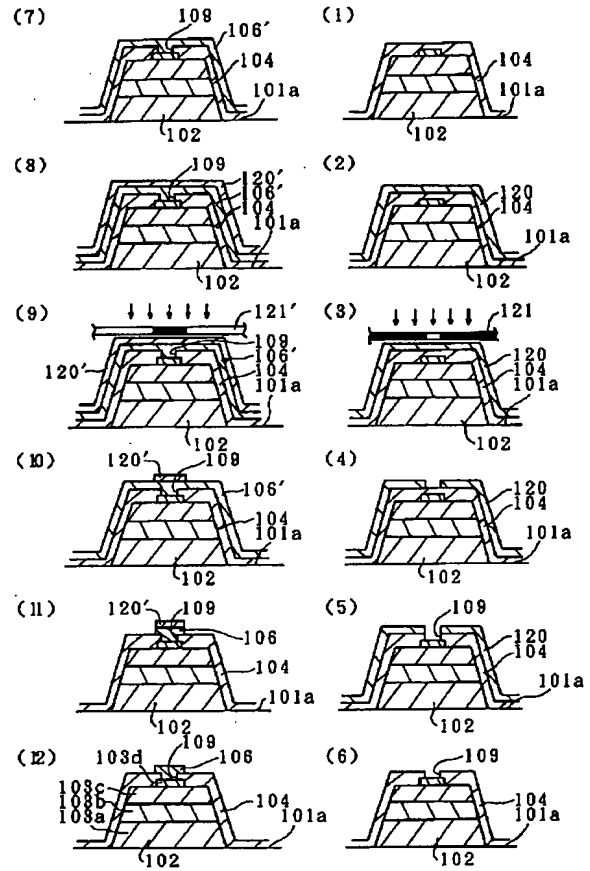




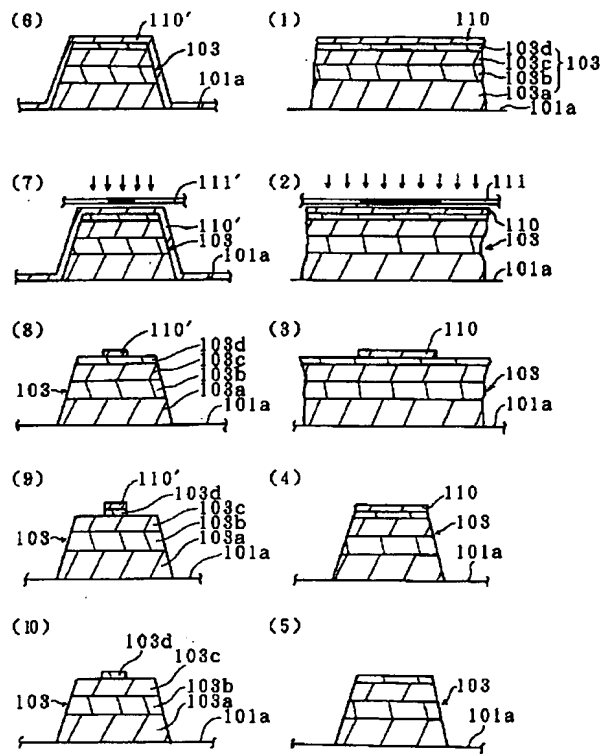
【図 3】



【図4】



【図5】



【図6】

